



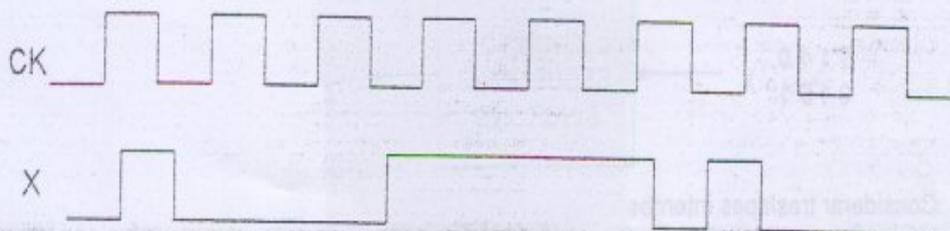
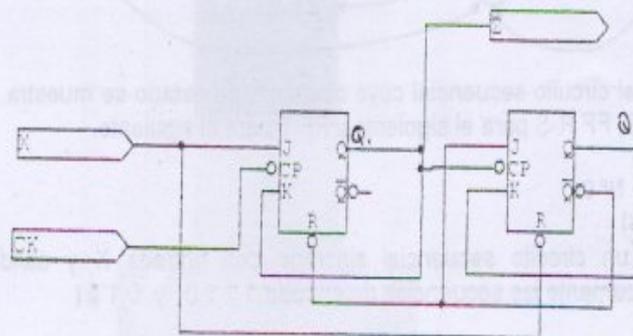
Examen Parcial
Ciclo 2004 - 1

Curso : Circuitos Digitales 2
Grupo : 01 - 02
Profesor : Ing. Julio González - Ing. Jorge Ubillus
Día : Viernes 14 de Mayo de 2004
Hora : 08.30 a 10.30 am
Duración de la prueba : 120 minutos

Nota: El examen es sin copias ni apuntes.
Esta prohibido el préstamo de calculadoras y correctores

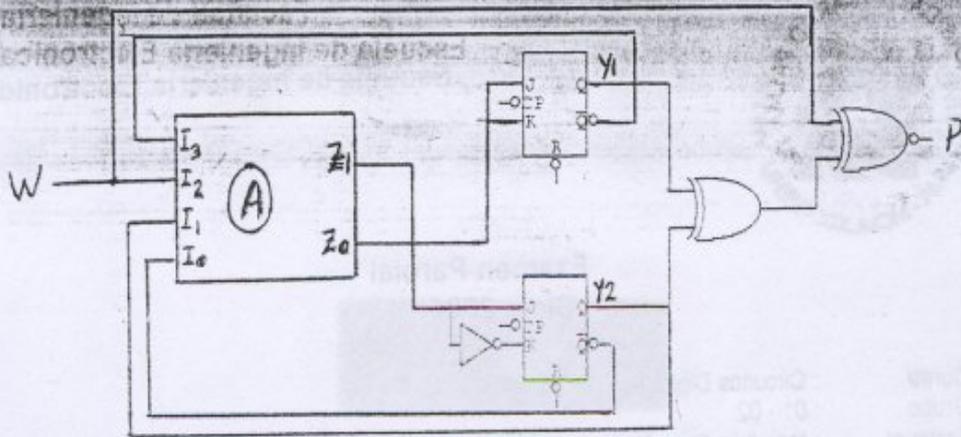
Pregunta N° 01
(5 puntos)

Dar los diagramas de tiempo de Q1, Q2 y Z para 8 periodos de CK del circuito siguiente. Considerar al inicio Q1 = Q2 = 0. Los FF's se activan por flanco.

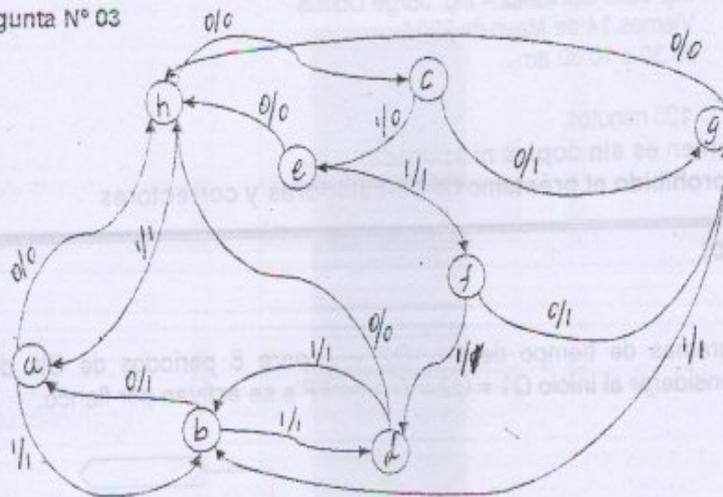


Pregunta N° 02
(5 puntos)

Dar la tabla de estados y el diagrama de estados del circuito siguiente. Dar las ecuaciones características. Bloque A: CODIFICADOR DE PRIORIDAD DE 4 A 2.



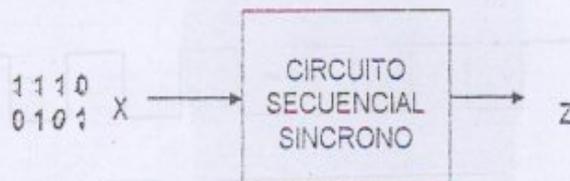
Pregunta N° 03



Diseñar el circuito secuencial cuyo diagrama de estado se muestra. Usar FF J-K para el bit LSB, FF R-S para el siguiente y FF T para el siguiente.

Pregunta N° 04
(5 puntos)

Diseñar un circuito secuencial sincrónico con entrada X y salida Z que detecte simultáneamente las secuencias de entrada 1110 y 0101



Considerar traslapes internos

Usar para el diseño FF J - K para el bit LSB, FF T para el siguiente y FF D para el siguiente.

LOS PROFESORES

NOTA:

- Indicar detalladamente los pasos seguidos en la solución de los problemas