Examen Parcial
Semestre 2005 - I

Curso : Circuitos Digitales II
Grupo : 01 - 02
Profesor : Ing. Julio González – Ing. Jorge Ubillus
Día : Viernes 13 de Mayo de 2005
Hora : 08.30 a 10.30 am
Duración de la prueba : 120 minutos

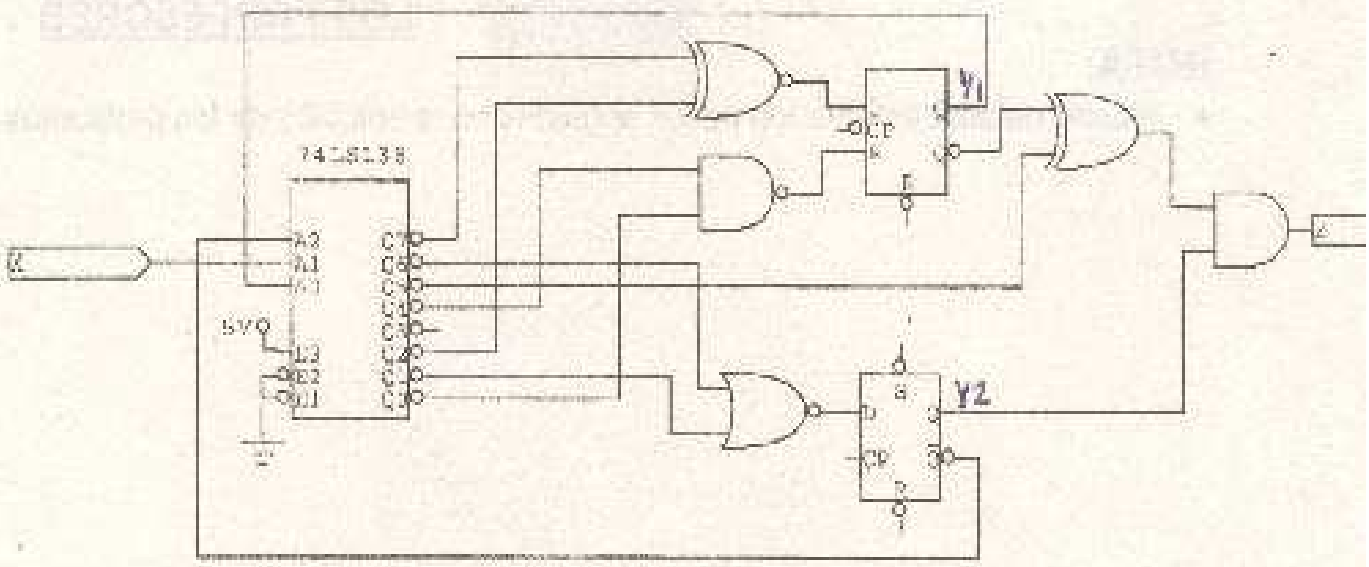
Nota: El examen es sin copias ni apuntes.
Esta prohibido el préstamo de calculadoras y correctores

Pregunta Nº 01 **(5 puntos)**

Diseñar un circuito secuencial sincrono con entrada señal X y salida Z, que reconozca la secuencia de entrada 3121_4. Considerar traslapes. Usar FF's "J-K".

Pregunta Nº 02 **(5 puntos)**

Dar la tabla de estado y el Diagrama de estado para el circuito siguiente:



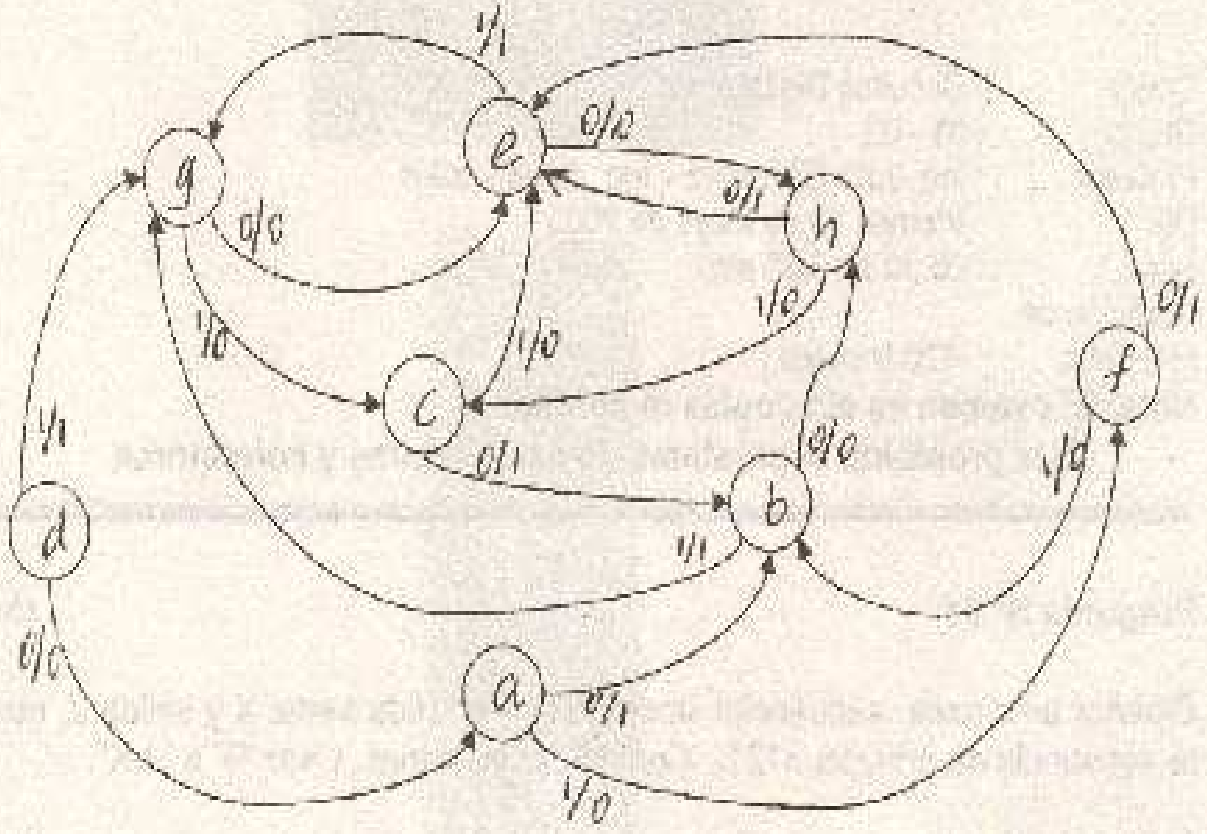
74LS138: Decodificador de 3 a 8

Pregunta Nº 03 **(5 puntos)**

Diseñar un circuito secuencial sincrono con DOS ENTRADAS (X, Y) y una salida Z de modo que la salida Z cambiará a 1 si el numero de entradas "1" en X e Y es un múltiplo de 4 desde que el circuito comience a funcionar. Usar FF's "T".

Pregunta N° 04 **(5 puntos)**

Diseñar el circuito cuyo diagrama de estado se muestra.
Usar FF's J - K para el bit LSB, FF "T" para el anterior (si lo hubiera) y FF "D" para el anterior (si lo hubiera)



LOS PROFESORES

NOTA:

- Indicar detalladamente los pasos seguidos en la solución de los problemas